

PAT-NO: JP354136135A

DOCUMENT-IDENTIFIER: JP 54136135 A

TITLE: PICTURE INFORMATION PROCESSOR

PUBN-DATE: October 23, 1979

INVENTOR- INFORMATION:

NAME

TANAKA, KOKICHI
TAMURA, SHINICHI
HIRAMOTO, JUNICHI
HIRANO, KAZUO
YOSHIDA, KENICHI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
IRYO GIJUTSU KENKYU KAIHATSU ZAIDAN	N/A
TANAKA KOKICHI	N/A
SUMITOMO ELECTRIC IND LTD	N/A

APPL-NO: JP53043637

APPL-DATE: April 13, 1978

INT-CL (IPC): G06K009/00, G06K009/00, G06K009/00, A61B010/00,
G06F015/20

US-CL-CURRENT: 382/299, 382/303

ABSTRACT:

PURPOSE: To reduce the number of the picture element while keeping the fidelity of the picture image and thus to ensure great reduction for the full process time of the data by carrying out the data process through the pipe-line system comprising the series connection of the circuit part.

CONSTITUTION: The data process is carried out through the sequential longitudinal connection secured between the following circuits parts:

reduction
circuit part 1 where the conversion (a) is given in order to reduce
the data
size as well as eliminate the noise included in the original picture;
smoothing
circuit part 2 where the smoothing process (b) is performed between
four
vertical and horizontal approximate points in order to correct the
distortion
caused by reduction process 1; binary coding circuit part 3 where the
binary
coding process (c) is carried out in order to give a partition
between the
object existing part and non-existing part; and contour extracting
circuit part
4 where the process (d) is done by deciding that the picture elements
(i,j) are
on the contour line in case the state of the picture elements (i,j)
is "1"
(oblique-lined part) and either one of the picture elements adjacent
to the
four approximate points on the picture elements (i,j) is "0".

COPYRIGHT: (C)1979, JPO&Japio

⑫公開特許公報 (A)

昭54-136135

⑬Int. Cl. ²	識別記号	⑭日本分類	⑮内整理番号	⑯公開 昭和54年(1979)10月23日
G 06 K 9/00	1 0 1	97(7) B 62	6974-5 B	
	1 0 3	97(7) J 7	6974-5 B	発明の数 1
	1 0 5	94 A 1	6974-5 B	審査請求 未請求
A 61 B 10/00	1 0 4		7058-4 C	
G 06 F 15/20	1 0 3		6974-5 B	

(全 3 頁)

⑭画像情報処理装置

⑮特 願 昭53-43637

⑯出 願 昭53(1978)4月13日

⑰発明者 田中幸吉

川西市新田桜ヶ丘246-3

同 田村進一

西宮市上ヶ原十番町1番16号

同 平本順一

大阪市此花区島屋1丁目1番3

号 住友電気工業株式会社大阪

製作所内

⑱発明者 平野和夫

大阪市此花区島屋1丁目1番3

号 住友電気工業株式会社大阪

製作所内

⑲出願人 財団法人医療技術研究開発財団

東京都港区西新橋1-9-11

J Oビル

⑳代理人 弁理士 鎌田文二 外2名

最終頁に続く

明細書

1. 発明の名称

画像情報処理装置

2. 特許請求の範囲

処理すべき画像情報が直列に導入される入力線と、画素数を縮小する縮小回路部と、隣接する画素に係る情報量に関係して当該画素に係る情報量を修正する平滑化回路部と、あらかじめ設定されたレベルに対し大小関係を判別する2値化回路部と、上記2値化回路部により“1”と判定された部分と“0”と判定された部分の境界を抽出する輪郭抽出回路部とを有し、上記縮小回路部、上記平滑化回路部、上記2値化回路部、及び上記輪郭抽出回路部が順次系統接続されている画像情報処理装置。

3. 発明の詳細な説明

本発明は画像情報処理装置に関し、さらに詳述すると、画素数の多い画像情報を画素数の少い画像情報に変換する処理装置に関する。

例えば、生体内の超音波断層画像情報を処理す

る場合、これをデジタルコンピュータのプログラムに従つて実行すると、画素数が多い場合には非常に長い処理時間を要して不都合を生ずることがある。

本発明の目的は、画像の忠実度を保ちながら画素数を減少させる画像処理装置を提供すること、並びにこの画像処理装置をデジタルコンピュータを使用せずハードウェアのみで構成し画像処理のバイオペラインを得ることにある。

第1図に本発明の回路ブロック構成図を示す。

縮小回路部1は、データサイズの減少と原画に含まれるノイズ除去を目的とする回路部で、例えば 4×4 画素を1画素に縮小する場合、原画の(m, n)画素の濃度を $\bar{O}_{m, n}$ 、縮小画の(i, j)画素の濃度を $R_{i, j}$ として、

$$R_{i, j} = \frac{1}{16} \sum_{k=0}^3 \sum_{l=0}^3 \bar{O}_{i+k, j+l} \quad (1)$$

の変換を行う。第2図にこの変換の模式図を示す。

平滑化回路部2は、縮小処理によって生じたひずみの修正を目的とする回路部であつて、その手

段として上下左右の4近傍点との間で平滑化処理を行つてゐる。縮小画の(i, j)画素をR_{i, j}、平滑画の(i, j)画像をS_{i, j}として、

$$S_{i, j} = \frac{1}{8} (4 \cdot R_{i, j} + R_{i, j+1} + R_{i-1, j} + R_{i-1, j+1}) \quad \dots \dots (2)$$

の処理を実行する。第3図にこの処理の模式図を示す。

2値化回路部3は、例えば物体が存在する部分と物体が存在しない部分を区分することを目的とする回路部で、平滑画の(i, j)画素をS_{i, j}、2値画の(i, j)画素をB_{i, j}とすると、データが陽面情報すなわち物体部分の濃度が高い場合には、

$$B_{i, j} = 1 \quad (S_{i, j} \geq T) \\ B_{i, j} = 0 \quad (S_{i, j} < T) \quad \dots \dots (3)$$

また、データが陰面情報すなわち物体部分の濃度が低い場合には、

$$B_{i, j} = 0 \quad (S_{i, j} \geq T) \\ B_{i, j} = 1 \quad (S_{i, j} < T) \quad \dots \dots (4)$$

の処理を実行する。ここでTはスレシホールド。

部3は、比較器31としきい値を記憶するレジスタ32から構成されており、平滑回路部の出力レベルを判定して'1'又は'0'の2値出力とする。輪郭抽出回路部4は、シフトレジスタ41、NANDゲート42、及びANDゲート43から構成されており、当該画素の状態信号44を直接ANDゲート43の一入力とし、隣接画素の状態信号のいずれか45をNANDゲートを通して抽出しANDゲート43のもう一つの入力としている。

このように縮小回路部1、平滑回路部2、2値化回路部3及び輪郭抽出回路部4は直列接続されており、処理すべき画素データは、各回路部を順次直列に流れでゆくから、N個のデータの処理に要する時間tは、1画素をセットするのに要する時間をt_s、i番目の回路部における遅れ時間をt_{di}とすれば、

$$t = N \cdot t_s + \sum_{i=1}^N t_{di} \quad \dots \dots (5)$$

となる。

レベル(いき値)である。第4図にこの2値化処理の模式図を示す。図示の場合、T=128と設定した。

輪郭抽出回路部4は、2値化回路部において'1'と判定された部分、例えば物体存在部分の輪郭線を抽出することを目的とする回路部である。第5図に模式図で示すように、(i, j)画素の状態が'1'(図において斜線部分)であつて、且つその画素の上下左右の4近傍に隣接する画素のいずれかひとつが'0'であればその(i, j)画素が輪郭線上にあるものと判定して処理している。

第6図に本発明実施例の回路ブロック図を示す。縮小回路部1は加算器11、加算レジスタ12、加算器13、及び加算シフトレジスタ14から構成されており、先行画素情報を遮断させながら後の画素情報に加算してゆくことにより縮小化を実行する。平滑回路部2はシフトレジスタ21及び荷重加算部22から構成され、レジスタ21の中心位置出力信号の重みとそれに隣接する位置の出力信号の重みを相違させて加算する。2値化回路

本発明によれば、回路部の直列接続から構成されるバイオブレイン方式によりデータ処理を行うので、画素データを順次入力してゆくだけでよく、同一画素についての呼び出しが唯1回だけとなる。また、そのためデータの全処理時間が非常に短縮される。

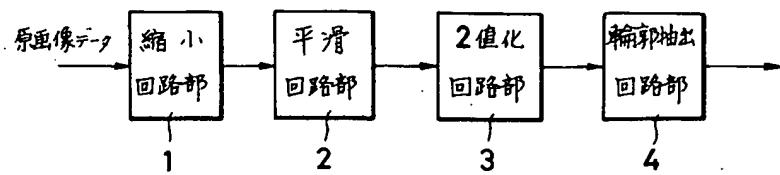
本発明は、例えば、医療用診断装置、医療用画像解析、合成装置、工業用計測システムなどに広く実施することができる。

4. 図面の簡単な説明

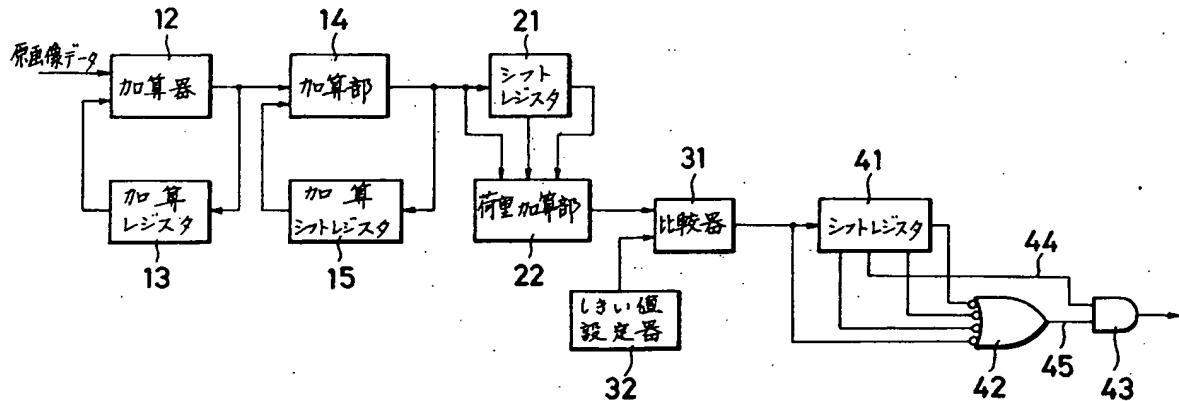
第1図は本発明の回路部のブロック構成図、第2図乃至第5図は本発明の各回路部の機能を説明する模式図である。第6図は本発明の実施例の回路構成図である。

- 1 … 縮小回路部
- 2 … 平滑回路部
- 3 … 2値化回路部
- 4 … 輪郭抽出回路部

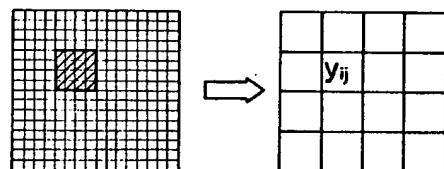
第1図



第6図



第2図



第1頁の続き

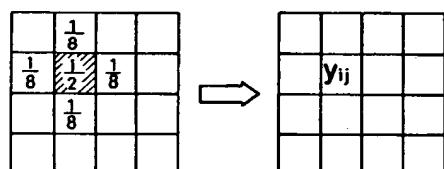
⑦発明者 吉田健一

大阪市此花区島屋1丁目1番3
号 住友電気工業株式会社大阪
製作所内

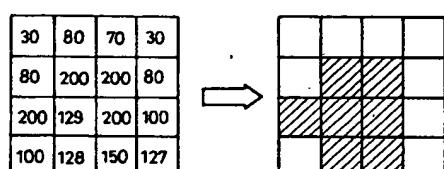
⑦出願人 田中幸吉

川西市新田桜ヶ丘246-3
住友電気工業株式会社
大阪市東区北浜5丁目15番地

第3図



第4図



第5図

